

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
15. März 2001 (15.03.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/19076 A1

(51) Internationale Patentklassifikation: H04N 5/232

Burgard [DE/DE]: Konrad-Adenauer-Strasse 2,
D-65232 Taunusstein (DE).

(21) Internationales Aktenzeichen: PCT/DE00/02451

(74) Anwalt: WEBER, SEIFFERT & LIEKE; Postfach 61
45, D-65051 Wiesbaden (DE).

(22) Internationales Anmeldedatum:
26. Juli 2000 (26.07.2000)

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (national): JP, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LI, MC,
NL, PT, SP).

(30) Angaben zur Priorität:
199 41 742.3 2. September 1999 (02.09.1999) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): VITTRONIC DR.-ING. STEIN BILDBE-
ARBEITUNGSSYSTEME GMBH [DE/DE]; Hasen-
gautenstrasse 14a, D 65189 Wiesbaden (DE).

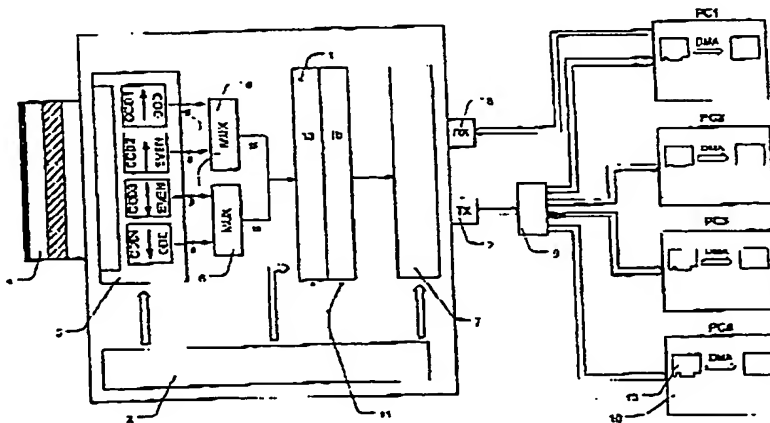
Veröffentlicht:
— Mit internationalem Recherchenbericht.

Zur Erklärung der Zweibuchstaben-Codes, und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): HOFFMANN.

(54) Title: CIRCUIT FOR GENERATING IMAGE DATA FOR A PC AND AN APPROPRIATE DATA TRANSFER METHOD

(54) Bezeichnung: SCHALTUNG ZUR ERZEUGUNG VON BIT-DATEN FÜR EINEN PC UND ENTSPRECHENDES VER-
FAHREN FÜR DEN DATENTRANSFER



(57) Abstract: The invention relates to a circuit for the generation of image data in real-time representation on a PC, comprising a data input for receiving raw pixel data which in general is generated by a semi-conducting, light sensitive image detection device. The invention relates furthermore to an appropriate PC with an ethernet card and an appropriate method for real-time image data representation. According to the invention, an intermediate memory is provided having a serial data output port and control logic whereby the control logic is intended for summarization of the buffered raw image data into data packets having protocol elements pertaining to the lowest ethernet protocol level (MAC-layer) in order to produce an appropriate circuit, an appropriately matching PC and an appropriate data transfer method from an image sensor to a PC in which the effort required for the presentation of graphic data on a PC is considerably less complicated as is the cost of realizing real-time image data representation.

[Fortsetzung auf der nächsten Seite]

WO 01/19076 A1

(57) Zusammenfassung: Die vorliegende Erfindung betrifft eine Schaltung zur Erzeugung von Bilddaten in Echtzeitanzeige auf einem PC, mit einem Dateneingang zur Aufnahme von Pixelrohdaten, die im allgemeinen von einer halbleitenden, lichtempfindlichen Bilderfassungseinrichtung erzeugt werden. Weiterhin betrifft die vorliegende Erfindung einen entsprechenden PC mit Ethernet-Karte und ein entsprechendes Verfahren zur Darstellung von Bilddaten in Echtzeit. Um eine entsprechende Schaltung, einen entsprechend angepaßten PC und ein entsprechendes Verfahren zur Übertragung der Daten von einem Bildsensor auf einen PC zu schaffen, bei welchem der Aufwand für die Darstellung der Bilddaten auf dem PC erheblich verringert ist und damit auch die Kosten zur Realisierung einer Echtzeitanzeige von Bilddaten auf einem PC erheblich vermindert werden, wird erfindungsgemäß vorgeschlagen, daß die Schaltung einen Zwischenspeicher, einen seriellen Datenausgang und eine Steuerlogik aufweist, wobei die Steuerlogik für eine Zusammenfassung der zwischengespeicherten Bildrohdaten zu Datenpaketen mit Protokollelementen der untersten Ethernetprotokollebene (MAC-layer) vorgesehen ist.

Schaltung zur Erzeugung von Bilddaten für einen PC
und entsprechendes Verfahren für den Datentransfer

5

Die vorliegende Erfindung betrifft eine Schaltung zur Erzeugung von Bilddaten in Echtzeildarstellung auf einem PC, mit einem Dateneingang zur Aufnahme von Pixelrohdaten, die im allgemeinen von einer halbleitenden, lichtempfindlichen Bilderfassungseinrichtung erzeugt werden.

10

Ebenso betrifft die vorliegende Erfindung einen Personal Computer (PC), der eine Ethernet-Netzworkkarte aufweist und für den Empfang und die Darstellung entsprechender Bilddaten ausgelegt ist.

15

Schließlich betrifft die vorliegende Erfindung auch ein Verfahren zur Übertragung und Darstellung von Bilddaten, die von einer Bilderfassungseinrichtung erzeugt werden, auf einem PC in Echtzeit.

20

Als Bilderfassungseinrichtungen kommen dabei grundsätzlich sogenannte Matrixkameras oder Zeilenkameras in Frage bzw. Matrixsensoren und Zeilensensoren. Aufgrund der beschränkten Datenkapazität und Verarbeitungsgeschwindigkeit von Daten auf einem PC ist die Darstellung von Bildern auf einem PC in Echtzeit ein Problem, welches bisher nur mit relativ teuren und aufwendigen Zusatzbauteilen zu bewältigen ist.

25

Bei der Darstellung von Bildern, die mit einer Videokamera erzeugt werden, fallen in kurzer Zeit sehr große Datenmengen an. Schon ein herkömmlicher CCD-Sensor mit 400.000 Bildpunkten erzeugt eine Datenrate von ca. 14 bis 15 MByte/s. Schnelle Zeilensensoren, die z. B. pro Zeile 7.000 Bildpunkte aufweisen, erzeugen Datenmengen, die in die Größenordnung von 100 MByte/s und sogar noch darüber liegen. Herkömmlich wurde das Problem der Verarbeitung solcher Datenmengen in kurzer Zeit durch sogenannte Framegrabber-Schaltungen gelöst, die Zusatzbauteile für einen PC darstellen und relativ teuer sind.

30

Gegenüber diesem Stand der Technik liegt der vorliegenden Erfindung die Aufgabe zugrunde, eine entsprechende Schaltung, einen entsprechend angepaßten PC und ein entsprechendes Verfahren zur Übertragung der Daten von einem Bildsensor auf einen PC zu schaffen, bei welchen der Aufwand für die Darstellung der Bilddaten auf dem PC erheblich vermindert ist und damit auch die Kosten zur Realisierung einer Echtzeildarstellung von Bilddaten auf einem PC erheblich vermindert werden.

35

Hinsichtlich der eingangs genannten Schaltung wird diese Aufgabe dadurch gelöst, daß die Schaltung einen Zwischenspeicher, eine Steuerlogik und einen Datenausgang aufweist, wobei die Steuerlogik für die Zusammenfassung der in dem Zwischenspeicher gespeicherten Bildrohdaten zu Datenpaketen und zur Erzeugung von Protokolldaten für die Datenpakete vorgesehen ist, wobei die Protokolldaten auf solche der untersten Ebene eines Ethernet-Protokolls beschränkt sind.

Dabei sollen unter "Bildrohdaten" die bereits digitalisierten Werte der ursprünglich analogen Pixelwerte verstanden werden, die von den Bildsensoren erzeugt werden.

- 10 Eine solche Schaltung mit einem Zwischenspeicher und einer vergleichsweise einfachen Steuerlogik, die lediglich die Bildrohdaten zu Datenpaketen zusammenfassen und mit mindestens einem Teil der Protokolldaten aus der untersten Ethernet-Protokollebene ausstatten muß, ist vergleichsweise einfach und preiswert herzustellen. Die an dem entsprechenden, seriellen Datenausgang einer solchen Schaltung zur Verfügung stehenden Daten können unmittelbar auf den Eingang einer Ethernet-Netzwerkkarte gegeben werden, die ohnehin zur Standardausrüstung sehr vieler PCs gehört. Dabei benötigt der PC lediglich eine entsprechend angepaßte Treibersoftware für den Betrieb der Ethernet-Netzwerkkarte zur entsprechenden Umsetzung der Bilddaten, so daß nur die Protokolldaten der untersten Ethernet-Ebene (MAC-layer) verwendet werden und alle anderen Daten als Bilddaten interpretiert werden. Das Ethernet ist in der Lage, Datenraten von 125 MByte/s (= 20 1 G-Bit/s) zu verarbeiten. Man kann daher auch entsprechende Bilddaten mit einer Datenrate von bis zu 125 MByte/s aufnehmen und verarbeiten. Kurz gesprochen besteht also das Wesen der Erfindung in der Ausnutzung der Möglichkeiten von Ethernet-Netzwerkkarten, wobei diese allerdings nicht in ihrer normalen Betriebsart genutzt werden, bei der Protokolldaten mehrerer Protokollebenen ausgewertet und die Daten entsprechend behandelt werden, sondern sozusagen eine 25 Zwerkkartentrennung der Ethernet-Netzwerkkarte stattfindet, indem nur das auf die unterste Protokollebene beschränkte Datenformat erzeugt wird und wobei dann auch die Treibersoftware für die Ethernet-Netzwerkkarte entsprechend angepaßt werden muß, um die Daten ohne Protokolldaten der höheren Protokollebenen des Ethernets verarbeiten zu können. Die erfindungsgemäße Schaltung kann entweder in eine Kamera integriert sein, sie kann in einen PC-Eingang vor einer Ethernet-Karte integriert sein oder aber als separates, zwischenzuschaltendes Bauteil bzw. Interface- 30 Element vorgesehen sein. Wenn die Schaltung als separates Bauteil oder als Eingangsschaltung an einem PC vorgesehen ist, so können gegebenenfalls auch mehrere Kameras mit entsprechend niedrigen Datenraten gleichzeitig mit dem Eingang der erfindungsgemäßen Schaltung verbunden werden. Beispielsweise könnten bis zu 8 herkömmliche CCD-Matrixkameras parallel an den Eingang der erfindungsgemäßen Schaltung gelegt werden, da sie zusammen eine Datenrate von we- 35 niger als 120 MByte/s erzeugen.

Zweckmäßig ist es, wenn bei der erfindungsgemäßen Schaltung der Zwischenspeicher eine Kapazität für die Bildrohdaten mindestens einer Bildzeile hat

Zweckmäßig ist es, wenn der Zwischenspeicher eine Kapazität für mindestens zwei Bildzeilen hat. In einem solchen Fall können die Bilddaten einer Bildzeile zunächst vollständig in einen entsprechenden Speicherblock eingeschrieben werden, bevor sie aus diesem Bereich ausgelesen und als Datenpakete ausgegeben werden. Während dieses Auslesens und die Datenausgabe geschieht, kann in der Zwischenzeit die nächste Bildzeile in den verbleibenden Speicherblock geschrieben werden, und während anschließend dieser letztgenannte Speicherblock ausgelesen wird, kann wieder der erstgenannte Speicherblock beschrieben werden. Selbstverständlich wäre es auch möglich, noch weitere Speicherblöcke zu verwenden, wenn jedoch die Auslesegeschwindigkeit größer ist als die Datenrate, mit welcher die Bilddaten ankommen bzw. in den Speicher geschrieben werden müssen, so reichen zwei Speicherblöcke für jeweils eine Bildzeile aus. Hierdurch werden auch Kosten für ansonsten teuren Speicherraum eingespart, zumal es sich dabei um Speicher handeln muß, in die Daten mit einer entsprechenden Geschwindigkeit eingeschrieben und ausgelesen werden können. Besonders bevorzugt ist eine Ausführungsform der Erfindung, bei welcher als Zwischenspeicher ein sogenannter Dual-Port-RAM verwendet wird, d.h. ein Speicher mit wahlweisem Zugriff und einem zweifachen Anschluß, nämlich einem Anschluß für das Einschreiben bzw. Schreiben und einem Anschluß für das Auslesen aus dem Speicher, wobei diese beiden Anschlüsse mit unterschiedlichen Datenraten bzw. Taktfrequenzen betrieben werden können.

Ein solcher Dual-Port-RAM hat vorzugsweise zwei Speicherblöcke, die auch als "Bank" bezeichnet werden, wobei ein Bankumschalter abwechselnd zwischen den beiden Banken hin- und herschaltet, wobei zu einem gegebenen Zeit in die eine Bank geschrieben und aus der anderen Bank ausgelesen wird, und das Beschreiben und Auslesen der beiden Banken fortgesetzt im Gegentakt erfolgt.

Das Einschreiben und das Auslesen jeweils kompletter Zeilen hat den Vorteil, daß die Bilddaten bei Bedarf in einer anderen Reihenfolge in den betreffenden Zeilenspeicher bzw. die Bank eingeschrieben werden können, als sie anschließend möglicherweise ausgelesen werden. Bei vielen Zeilensensoren ist es beispielsweise üblich, daß die Daten für die einzelnen Bildpixel von der Mitte des Sensors her nach beiden Seiten hin erfaßt werden, wobei außerdem der Zeilensensor auch in mehrere Sektoren aufgeteilt sein kann. In denen dies einzeln erfolgt. Dies bedeutet, daß die Reihenfolge der Bilddaten von dem Zeilensensor nicht dem Zeilenverlauf von einem Ende zum anderen entspricht, wobei jedoch durch das Auslesen und bei bekannter Reihenfolge des Einschreibevorganges die Daten seriell von einem Zeilenende zum anderen Zeilenende angeordnet und ausgegeben werden können, sobald die Zeile vollständig in dem entsprechenden Speicherblock bzw. der Bank abgespeichert ist.

Darüber hinaus kann das Einschreiben der Daten auch parallel, z. B. mit einer Bitbreite von 8, 16 oder 32 Bit erfolgen, wohingegen das Auslesen seriell erfolgt bzw. dem gegebenenfalls parallelen

Auslesevorgang in Parallel/Seriellwandlung der Daten folgt. Es versteht sich, daß dann die Auslese- bzw. Ausgabefrequenz um mindestens den Faktor der Bitbreite größer sein muß als die Einschreibefrequenz.

- 5 Bei der hohen Datenübertragungsgeschwindigkeit, die für die erfindungsgemäße Schaltung erforderlich ist, hat es sich als zweckmäßig erwiesen, wenn der Datenausgang ein optischer Datenausgang ist und wenn dementsprechend auch der zugehörige Eingang an einem PC, konkret der Eingang einer Ethernet-Netzwerkkarte, ein optischer Dateneingang ist.

- 10 Der entsprechende PC muß außer der Tatsache, daß er mit einer Ethernet-Netzwerkkarte ausgestattet sein muß, lediglich eine relativ einfache Treibersoftware für den Empfang der Bilddaten erhalten, wobei die Treibersoftware lediglich dafür sorgt, daß von den eingehenden, zu Datenpaketen zusammengefaßten Bilddaten nur die Protokolldaten oder mindestens ein Teil der Protokolldaten der untersten Ethernet-Protokollebene verwendet werden (MAC-layer), während alle anderen Daten (die bei einem herkömmlichen Ethernet-Datenpaket noch weitere Protokolldaten höherer Ebenen enthalten) ausschließlich als Bilddaten interpretiert werden.

- Auf diese Weise ist es möglich, die hohe Übertragungsgeschwindigkeit von Bilddaten aufrechtzuerhalten. Wie bereits erwähnt, sollte der PC auch einen optischen Eingang aufweisen, um die gegebenenfalls über einen optischen Ausgang von der Schaltung ausgegebenen Daten empfangen zu können.

- Hinsichtlich des oben erwähnten Verfahrens wird die der Erfindung zugrundeliegende Aufgabe dadurch gelöst, daß die Bilddaten zwischengespeichert und zu Datenpaketen im Ethernet-Format zusammengefaßt werden, wobei allerdings nur Ethernet-Protokolldaten der untersten Protokollebene verwendet werden, und diese so zu Paketen zusammengefaßten Daten dann seriell ausgegeben werden und anschließend über die Treibersoftware einer entsprechenden Ethernet-Netzwerkkarte als reine Bilddaten interpretiert werden, die lediglich zusätzliche Daten der untersten Ethernet-Protokollebene aufweisen.

- 30 Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der vorliegenden Erfindung ergeben sich aus der folgenden Beschreibung einer bevorzugten Ausführungsform und der dazugehörigen Figuren. Es zeigen:

- 35 **Figur 1** ein Blockschalbild, welches die Prinzipien der erfindungsgemäßen Schaltung und deren Verbindung zu einer Kamera einerseits und mehreren PCs andererseits zeigt und
Figur 2 ein Blockschalbild einer noch etwas konkreter dargestellten, speziellen Ausführungsform der Erfindung.

Man erkennt in Figur 1 links eine Kameraoptik 4 und dahinter ausgerichtet einen Zeilensensor 5 einer Zellenkamera. Die Zeile ist intern in dem Zeilensensor in vier Zeilenblöcke aufgeteilt, wobei die einzelnen Bilddaten dieser Blöcke digitalisiert und über Multiplexer 6 in einen Dual-Port-RAM 1 eingeschrieben werden. Der Dual-Port-RAM 1 ist seinerseits in zwei Blöcke 1a, 1b aufgeteilt, die durch einen Umschalter 11, der hier nur schematisch wiedergegeben ist und der ebensogut auch in Form einer Softwaresteuerung vorliegen kann, abwechselnd einen der beiden Blöcke 1a, 1b des Dual-Port-RAM 1 für das Einschreiben der Daten aus den Multiplexern 6 bzw. von dem Zeilensensor 5 freigibt, während der jeweils verbleibende Speicherblock 1b bzw. 1a dabei für das Auslesen freigegeben wird. Die Schreib- und Lesevorgänge in und aus dem Dual-Port-RAM 1 werden durch eine Steuerlogik 3 gesteuert. Die Speicherblöcke, die auch "Bank" genannt werden, sind so bemessen, daß sie jeweils die Daten einer kompletten Bildzeile des Zeilensensors 5 aufnehmen können. Ohne daß es auf die Reihenfolge ankommt, sei angenommen, daß zunächst die digitalisierten Bilddaten einer ganzen Bildzeile in den Speicherblock bzw. die Bank 1a eingeschrieben werden. Nachdem eine vollständige Zeile eines Bildes in diesen Speicherblock 1a eingeschrieben worden ist, wird über die Schalteinrichtung 11 auf den Speicherblock 1b umgeschaltet, und die nächstfolgende Zeile des Zeilensensors 5 wird in digitalisierter Form in den Speicherblock bzw. die Bank 1b eingeschrieben. Während dieser Zeit werden über das Lichtwellenleiter-Interface 7 die zuvor in der Bank 1a gespeicherten Daten in einer vorgebbaren Reihenfolge ausgelesen und seriell angeordnet, d.h. es findet eine Parallel/Seriellwandlung statt. Außerdem werden die Daten von einer elektrischen in eine optische Form umgewandelt und über den optischen Ausgang 2 an einen passiven Verteiler 9 übermittelt. Von diesem passiven Verteiler gelangen die Daten auf eine Ethernet-Netzwerkkarte 13 eines PCs. Im vorliegenden Fall sind vier verschiedene PCs 10 dargestellt, die über den Verteiler 9 nacheinander mit Bilddaten von z. B. vier aufeinanderfolgenden Objekten beschickt werden. Das heißt, der passive Verteiler leitet zunächst alle aufeinanderfolgenden Bildzeilen eines gegebenen Bildes oder einer gegebenen Folge von Bildern auf einen ersten PC 10, das nächste Bild oder die nächste Folge von Bildern wird auf den nächsten PC 20 gegeben und so fort, so daß erforderlichenfalls eine parallele Bildverarbeitung aufeinanderfolgender Bilder auf mehreren PCs gleichzeitig stattfinden kann. Dies ist z. B. von Interesse, wenn eine entsprechende Kamera in einem optischen Erfassungs- und Sortiersystem, z. B. einer Paketverteilanlage, verwendet wird. Die Zeilenkamera 4, 5 nimmt dabei möglicherweise verschiedene Elemente oder Teile eines Objektes auf, die jeweils getrennt auf einem anderen PC ausgewertet werden. Ebenso ist es möglich, daß die Kamera schnell nacheinander mehrere verschiedene Objekte erfäßt, wobei die Auswertung der Bilder zu verschiedenen Objekten auch auf verschiedenen PCs erfolgt.

Neben der Steuerung der Schreib- und Lesevorgänge in dem Dual-Port-RAM und neben dem Umschalten der Schalteinrichtung 11 erfüllt die Steuerlogik auch noch andere Aufgaben, wie z. B. die Steuerung der Bildzeilenaufnahmen und auch des Auslesens. Während des Auslesens mit Hilfe des Interfaces 7 können die Zeilendaten beispielsweise in mehrere Datenpakete nach dem Ethernet-Standard aufgeteilt und zusätzlich mit entsprechenden Rahmendaten versehen werden, die

dann seriell über den Ausgang 2 zu den jeweiligen Rechnern gegeben werden. Bei 8 ist ein zusätzlicher Dateneingang dargestellt, über welchen die für die Bildauswertung angeschlossenen PCs 10 gegebenenfalls Rückmelde- bzw. Rückkopplungssignale liefern, die eine geeignete Anpassung der Steuerlogik 3 ermöglichen.

5 Die erfindungsgemäße Schaltung, die im wesentlichen nur aus dem Dual-Port-RAM 1, der Steuerlogik 3 und gegebenenfalls noch dem Interface 7 besteht, ist relativ einfach aufgebaut und kann daher die großen Datenraten gut bewältigen. Außerdem ist diese Schaltung wesentlich preiswerter herzustellen als eine Framegrabber-Karte, und zudem braucht eine solche Schaltung nur einmal für
10 mehrere PCs vorgesehen werden, wie es in dem Ausführungsbeispiel dargestellt ist.

Figur 2 zeigt eine etwas abgewandelte Ausführungsform der erfindungsgemäßen Schaltung nochmals im Detail. Dabei ist mit 12 ein Kamera-Interface bezeichnet, welches z. B. die Funktion der in
15 Figur 1 durch die Multiplexer 6 und die vorgeschalteten Einheiten zur Analog/Digitalwandlung der empfangenen Bilddaten dargestellten Komponenten erfüllen kann.

Auch hier ist wieder ein Dual-Port-RAM 1 mit zwei Speicherbanken vorgesehen, wobei jede der Speicherbanken 1a, 1b noch einen zusätzlichen Untersektor 1c bzw. 1d hat, in welchem die Rahmendaten entsprechend dem Ethernet-Protokoll auf der untersten Protokollebene zusammen mit
20 den in den Bereichen 1a bzw. 1b gespeicherten Daten gespeichert werden. In diesem Fall können die Daten aus den Speicherbanken 1a bzw. 1b unmittelbar zusammen mit den Rahmendaten aus den Bereichen 1c und 1d ausgelesen werden, ohne daß die Rahmendaten noch zusätzlich hinzugefügt werden müßten. Alle Lese- und Schreibvorgänge werden durch die Steuerlogik 3' gesteuert, und zwar im wesentlichen in derselben Art und Weise, wie dies für die vorherige Ausführungsform
25 gemäß Figur 1 beschrieben worden war. Die bereits mit dem Protokollrahmen aus der untersten Ethernet-Protokollebene versehenen Bilddaten werden über die Steuereinrichtung 3' weitergegeben an das Interface 7, indem eine Parallel/Seriellwandlung stattfindet, und schließlich werden in dem als Ausgang dienenden Lichtwellenleitercontroller 2 die elektrischen Daten in optische Signale umgewandelt und ausgesendet.

30 Die Steuerlogik 3' weist außerdem noch Verbindungsleitungen zu einem Input/Output-Interface 14 auf sowie eine weitere Steuerung, die das Kamera-Interface 12 beeinflusst, um gegebenenfalls in Reaktion auf vorhandene Bildergebnisse eine Rückkopplungssteuerung der Schärfereinstellung der Optik und/oder der Bilderfassung zu ermöglichen.

Patentansprüche

1. Schaltung zur Erzeugung von Bilddaten zur Echtzeitdarstellung auf einem PC, mit einem Dateneingang zur Aufnahme von Pixeldaten eines Bildsensors, dadurch gekennzeichnet, daß die Schaltung einen Zwischenspeicher (1), einen seriellen Datenausgang (2) und eine Steuerlogik (3) aufweist, wobei die Steuerlogik (3) für eine Zusammenfassung der zwischen gespeicherten Bildrohdaten zu Datenpaketen mit Protokollelementen der untersten Ethernetprotokollebene (MAC-layer) vorgesehen ist.
2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Zwischenspeicher eine Kapazität für die Bildrohdaten mindestens einer Bildzeile hat.
3. Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß der Zwischenspeicher eine Kapazität für mindestens zwei Bildzeilen hat.
4. Schaltung nach Anspruch 3, dadurch gekennzeichnet, daß der Zwischenspeicher ein Dual-Port-RAM ist.
5. Schaltung nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß eine Bankumschaltung zwischen mindestens zwei Speicherblöcken (Banken) vorgesehen ist, wobei jeder Speicherblock (Bank) die Kapazität für mindestens eine Bildzeile hat und wobei die Bildrohdaten aufeinanderfolgender Bildzeilen in den jeweils anderen Speicherblock eingelesen und im Gegenteil ausgelesen werden.
6. Schaltung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Dateneingang ein paralleler Eingang einer vorgebbaren Bitbreite ist, wobei die Auslese- bzw. Ausgabe- frequenz für die zu Datenpaketen zusammengefaßten Bilddaten größer ist als das Produkt aus der Einlesefrequenz multipliziert mit der Bitbreite des Dateneinganges.
7. Schaltung nach Anspruch 6, dadurch gekennzeichnet, daß der Dateneingang der Schaltung eine Breite von 16 Bit hat.
8. Schaltung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß der Datenausgang ein optischer Ausgang ist.
9. Personal Computer (PC), der mit einer Ethernet-Netzwerkkarte ausgestattet ist, dadurch gekennzeichnet, daß der PC für den Empfang von Bilddaten aus der Schaltung nach einem der Ansprüche 1 bis 8 mit einer Treibersoftware für die Ethernet-Netzwerkkarte ausgestattet ist.

welche nur Protokolldaten aus der untersten Ethernet-Protokollebene als Protokolldaten verwendet und alle übrigen Daten der empfangenen Datenpakete als Bilddaten interpretiert.

- 5 10. PC nach Anspruch 9, dadurch gekennzeichnet, daß die Ethernet-Netzwerkkarte einen optischen Eingang aufweist.
- 10 11. Verfahren zur Übertragung von Bilddaten in Echtzeit von einer Kamera auf einen PC, dadurch gekennzeichnet, daß die Bildrohdaten zwischengespeichert, zu Ethernet-Datenpaketen zusammengefaßt werden, bei denen nur die unterste Protokollebene verwendet wird und auf den Eingang einer Ethernet-Netzwerkkarte des PC gegeben werden, wobei die Ethernet-Netzwerkkarte so betrieben wird, daß nur die Daten der untersten Protokollebene (MAC-layer) als Protokolldaten verwendet werden und alle übrigen Daten als Bilddaten interpretiert werden.
- 15 12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß die Bildrohdaten zeilenweise zwischengespeichert und zeilenweise zu Ethernet-Datenpaketen zusammengefaßt und seriell auf den Eingang der Ethernet-Netzwerkkarte gegeben werden.
- 20 13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, daß die Daten zeilenweise in unterschiedliche Speicherblöcke eingelesen werden, wobei die Daten anschließend in derselben Reihenfolge der Speicherblöcke wieder ausgelesen werden.
- 25 14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß zwei Speicherblöcke vorgesehen sind, in die abwechselnd Bildrohdaten eingelesen und im Gegentakt ausgelesen werden.
- 30 15. Verfahren nach Anspruch 13 oder 14, dadurch gekennzeichnet, daß das Auslesen der Daten einer Bildzeile in einer durch die Steuerlogik vorgebbare und vom Einlesen der Bilddaten dieser Bildzeile unabhängigen Reihenfolge erfolgt.
16. Verfahren nach einem der Ansprüche 11 bis 15, dadurch gekennzeichnet, daß gleichzeitig mit dem Einlesen der Bilddaten in eine Bildzeile auch ein Einlesen der zugehörigen Protokolldaten der unteren Ethernet-Ebene erfolgt.
- 35 17. Verfahren nach einem der Ansprüche 11 bis 15, dadurch gekennzeichnet, daß die zwischengespeicherten Bilddaten erst beim Auslesen zu Ethernet-Datenpaketen zusammengefaßt und mit entsprechenden Protokolldaten ergänzt werden.
18. Verfahren nach einem der Ansprüche 11 bis 17, dadurch gekennzeichnet, daß die Daten einer Bildzeile jeweils zu einer ganzen Zahl von "Ethernet"-Paketen zusammengefaßt werden, so daß keines der Datenpakete Daten verschiedener Bildzellen enthält.

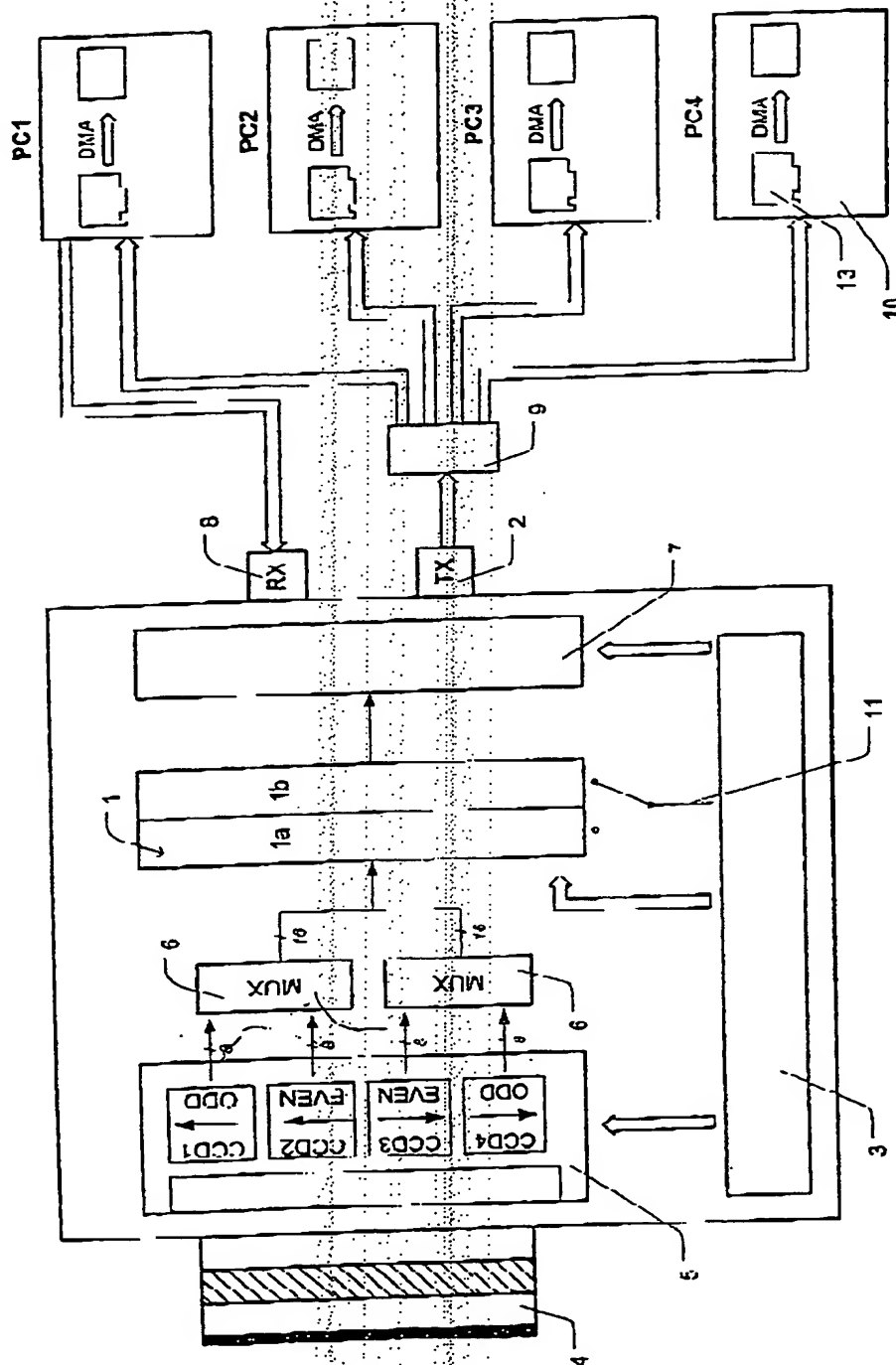


Fig. 1

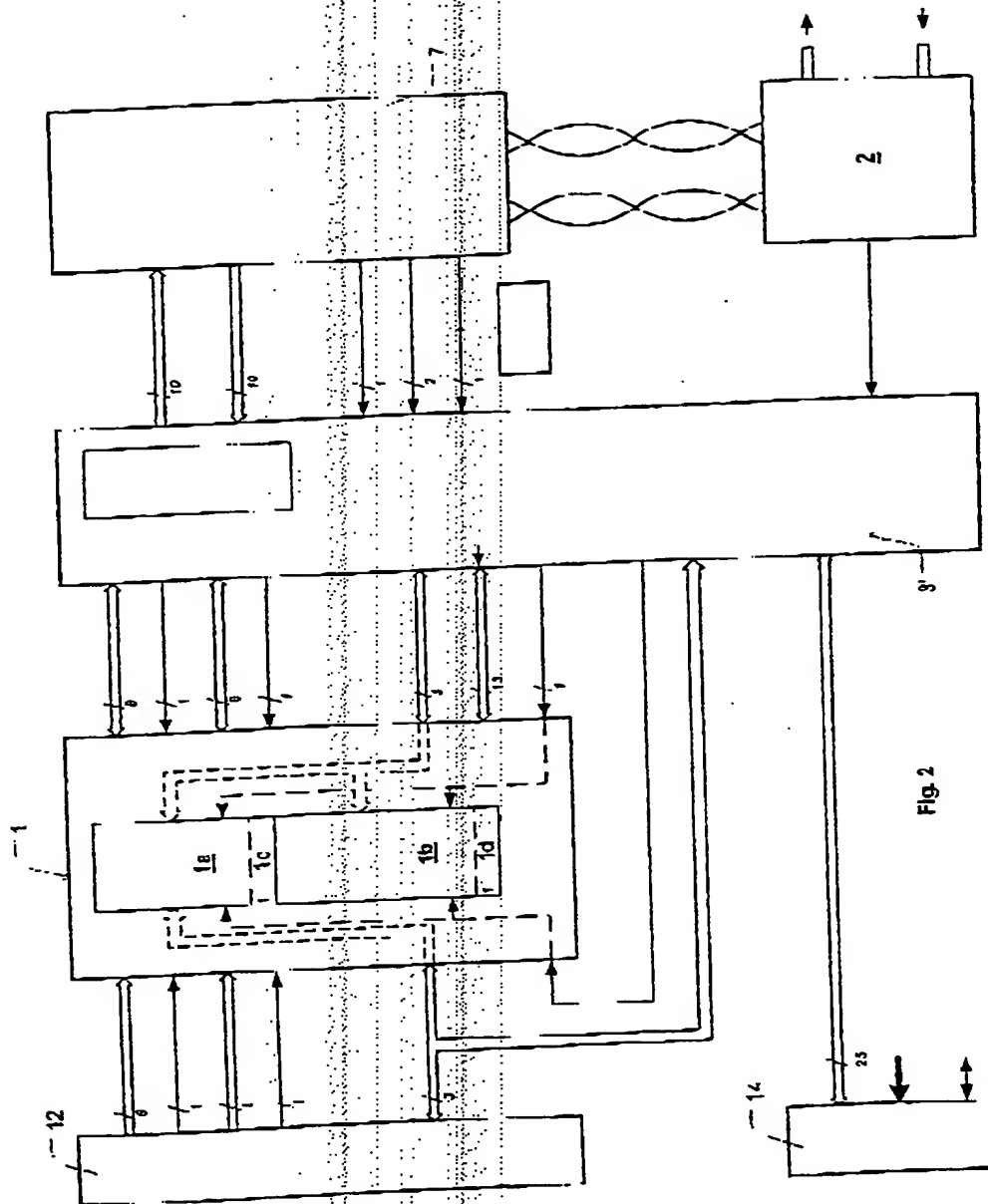


Fig. 2

DECLARATION

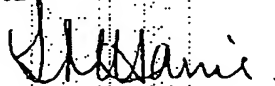
I, Lesley Mary Harris, M.A., Dip. Trans.,

Of Ridgeback House
Curdrige Lane
Curdrige
GH - Hampshire SO32 2BJ

Do hereby declare that I am conversant with the German and English languages, and

I certify that the following translation of the attached document is, to the best of my knowledge and belief, a true and correct translation of the authentic text in the German language of International patent application no. WO 01/19076 A1.

Dated this 6th day of February 2002:


Lesley Harris

15/02 02 FR 10:04 FAX +49 611 312111
(12) INTERNATIONAL APPLICATION PUBLISHED ACCORDING TO THE INTERNATIONAL PATENT COOPERATION TREATY (PCT)

(19) WORLD INTELLECTUAL PROPERTY ORGANISATION
INTERNATIONAL BUREAU

(43) INTERNATIONAL PUBLICATION DATE:
15 March 2001 (15.03.2001)

(10) INTERNATIONAL PUBLICATION NUMBER
WO 01/19076 A1

[WIPO/OMPI logo]

PCT

(51) International Patent Classification: H04N 5/232

Burghard [DE/DE]; Konrad-
Adenauer-Strasse 2, D-65232 Taunusstein (DE)

(21) International Reference: PCT/DE00/02451

(74) Representative: WEBER, SEIFFERT & LIEKE;
Postfach 61 45 D-65051 Wiesbaden (DE)

(22) International Application Date:
26 July 2000 (26.07.2000)

(81) Designated states (national): JP, US.

(84) Designation data (regional): European patent
(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB,
GR, IE, IT, LU, MC, NL, PT, SE)

(25) Filing language: German

(26) Publication language: German

Published:
with international search report.

(30) Priority details:
199 41 742.3 2 September 1999 (02.09.1999) DE

For explanation of the two-letter code and other
abbreviations, see "Guidance notes on Codes and
Abbreviations" at the beginning of each regular
edition of the PCT Gazette.

(71) Applicant (for all designated states except US):
VITRONIC DR.-ING. STEIN
BILLVERARBEITUNGSSYSTEME GMBH
[DE/DE]; Hasengartenstrasse 14a, D-65189
Wiesbaden (DE).

(72) Inventor; and
(75) Inventor/Applicant (for US only): HOFFMANN

Circuit for generating image data for a PC and appropriate method for transfer of data

The present invention relates to a circuit for generating image data in real-time representation on a PC, with a data input for receiving raw pixel data that is generally generated by a semi-conducting, light-sensitive image detection device.

5 The present invention also relates to a personal computer (PC) that has an Ethernet card that is configured for receiving and representing appropriate image data.

Lastly, the present invention also relates to a method for transmitting and representing on a PC, in real-time, image data that is generated by an image detection device.

10 In principle, so-called matrix cameras or cell cameras, and respectively matrix sensors and cell sensors, can be considered as image detection devices. Because of the limited data capacity and data processing speed with a PC, image representation on a PC in real-time is a problem that until now has been overcome only using relatively expensive and complex additional components.

15 In representing images that have been generated using a video camera, very large quantities of data are soon accumulated. Even a conventional CCD sensor with 400,000 image points generates a data rate of approximately 14 to 15 Mbytes/s. Rapid line sensors that have, for example 7,000 image points per line generate quantities of data in the region of 100 Mbytes/s and more. The problem of rapidly processing such quantities of data is conventionally solved by so-called frame-grabber circuits that are additional
20 components for a PC and are relatively expensive.

25 With respect to this prior art, the object of the present invention is to provide an appropriate circuit, an appropriately configured PC and an appropriate method for transmitting the data from an image sensor to a PC, in which the complexity of representing image data on the PC is considerably reduced and consequently the costs for producing real-time representation are also considerably decreased.

With respect to the circuit described in the introduction, this object is solved in that the circuit has a buffer, control logic and a data output, wherein the control logic is provided

for assembling the raw image data stored in the buffer into data packets and for generating protocol data for the data packets, wherein the protocol data are limited to the lowest level of an Ethernet protocol.

"Raw image data" is understood here to be the already digitised values of the original analog pixel values that were generated by the image sensors.

Such a circuit, with a buffer and comparatively simple control logic that simply assembles the raw image data into data packets and must provide it with at least one part of the protocol data from the lowest Ethernet protocol level is comparatively simple and inexpensive to manufacture. The data available at the corresponding serial data output of such a circuit can be directly supplied to the input of an Ethernet network card that is in any case part of the standard equipment of very many PCs. The PC then simply needs appropriately configured driver software for operating the Ethernet network card for appropriate conversion of the image data so that only the protocol data of the lowest Ethernet level (MAC layer) are used, and all other data are interpreted as image data. The Ethernet is capable of processing data rates of 125 Mbytes/s (= 1 Gbits/s). It is thus also possible to receive and process appropriate image data at a data rate of up to 125 Mbytes/s. In summary, the essence of the invention is in the exploitation of the possibilities of Ethernet network cards, wherein these are nevertheless not used in their normal operating mode in which the protocol data of several protocol levels are evaluated and the data processed accordingly, but instead used in a way for which it was not intended, in that only the data format limited to the lowest protocol level is generated, and wherein the driver software has then also to be configured appropriately for the Ethernet network card in order to be able to process the data without protocol data from the higher protocol levels of the Ethernet. The circuit according to the invention can either be integrated into a camera, it can be integrated into a PC input in front of an Ethernet card, or be provided as a separate, interconnectable component or interface element. When the circuit is provided as a separate component or input circuit on a PC, optionally several cameras with appropriately low data rates can also be connected at the same time to the input of the circuit according to the invention. For example, up to 8 conventional CCD matrix cameras could be set out parallel to the input of the circuit according to the invention, as together they generate a data rate of less than 120 Mbytes/s.

It is advantageous when, with the circuit according to the invention, the buffer has a capacity for the raw image data of at least one scanning line.

It is advantageous when the buffer has a capacity for at least two scanning lines. In such a case, the raw image data of a scanning line can firstly be completely written into an appropriate memory block before it is read from this area and output as data packets.

While this reading and data output is taking place, the next scanning line can in the meantime be written into the remaining memory block, and while this latter memory block is subsequently being read from, the former memory block can be written to again.

Naturally, it would also be possible to use further memory blocks, however when the read-out speed is greater than the data rate at which the image data arrive, and respectively have to be written into the memory, two memory blocks are sufficient for one scanning line each. In this way costs for otherwise expensive memory space is also saved, particularly as these must be memories into which data can be written and read out at an appropriate speed. An embodiment of the invention is particularly preferred in which a so-called dual-port RAM is used as the buffer, that is to say a memory with selectable access and a dual connection, namely one connection for writing and respectively for memory, and one connection for read-out from the memory, wherein these two connections can be operated at different data rates or respectively pulse frequencies.

Such a dual-port RAM preferably has two memory blocks, also known as "banks" wherein a bank change-over switch switches back and forth alternately between the two banks, wherein at a given time one bank is written into and the other is read from, and the writing and read-out of the two banks takes place continuously in a push-pull manner.

Writing and reading of respective complete lines has the advantage that the raw image data can, when required, be written in a sequence into the line memory concerned, that is to say the bank, other than that in which it will possibly be read out subsequently. With many line sensors it is usual, for example, for the data for the individual image pixels to be sensed from the centre of the sensor towards the two sides, wherein in addition the line sensor can also be divided into several sectors in which this takes place separately. This means that the sequence of image data from the line sensor does not correspond to the line pattern from one end to the other, wherein, however, by reading out and with a

known sequence for the writing procedure, the data can be arranged and output serially from one line end to the other line end, as soon as the line is completely memorised in the appropriate memory block, that is to say the bank.

Furthermore, data writing can also be done parallel, for example with a bit width of 8, 16 or 32 bits, whereas read-out takes place serially, that is to say the possibly parallel read-out procedure follows parallel/serial data conversion. Clearly, the read-out or respectively the output frequency must be greater than the writing frequency by at least the bit width factor.

Where there is a higher data transmission speed, which is necessary for the circuit according to the invention, it has proved advantageous when the data output is an optical output, and when correspondingly the associated PC input, in concrete terms the input for an Ethernet network card, is an optical data input.

Apart from the fact that it must be equipped with an Ethernet network card, the corresponding PC need only have relatively simple driver software for receiving the image data, wherein the driver software simply ensures that of the image data, combined into data packets, being received, only the protocol data, or at least a part of the protocol data, of the lowest Ethernet protocol level are used (MAC layer), while all other data (which in the case of a conventional Ethernet data packet contain further higher levels of protocol data) are exclusively interpreted as image data.

In this way it is possible to maintain the high image data transmission speed. As described hereinabove, the PC should also have an optical input in order to be able to receive the data, possibly output via an optical output by the circuit.

With respect to the method described hereinabove, the object of the invention is solved in that the raw image data is buffered and combined into data packets in the Ethernet format, wherein, nevertheless, only Ethernet protocol data of the lowest protocol level are used, and these data combined into packets are then output serially and subsequently interpreted via the driver software of an appropriate Ethernet network card as pure image data that simply have additional data of the lowest Ethernet protocol level.

Further advantages, features and possibilities for application of the present invention will

be evident from the following description of a preferred embodiment and the attached drawings. There is shown, in:

Figure 1 a block diagram that shows the principles of the circuit according to the invention and the connection thereof to a camera on the one hand, and to several PCs on the other, and

Figure 2 a block diagram of a special embodiment of the invention, shown in rather more concrete terms.

Figure 1 shows on the left an optical camera system 4 and located behind it a line sensor 5 of a line camera. The line is divided internally in the line sensor into four line blocks, wherein the individual image data of these blocks is digitised and written, via multiplexers 6 into a dual-port RAM 1. The dual-port RAM 1 is for its part divided into two blocks 1a, 1b, which by means of a change-over switch 11, shown here only schematically, and which can equally well be in the form of software control, alternately makes free one of the two blocks 1a, 1b of the dual-port RAM 1 for writing in data from the multiplexers 6 or respectively from the line sensor 5, while the respective remaining memory block 1b or respectively 1a is made free for read out. The writing and reading procedures into and from the dual-port RAM 1 are controlled by control logic 3. The memory blocks, also called "banks" are dimensioned such that they can respectively receive the data of a complete image line from the line sensor 5. Regardless of the sequence, it is assumed that firstly the digitised image data of a complete image line will be written into the memory block, that is to say the bank 1a. After a complete line of an image has been written into this memory block 1a, a switch-over is made to the memory block 1b using the switching device 11, and the next following line from the line sensor 5 is written in digitised form into the memory block, that is to say the bank 1b. During this time, the data previously stored in the bank 1a is read out and arranged serially via the optical wave-guide interface 7 in a pre-determinable sequence, that is to say parallel/serial conversion takes place. Moreover, the data are converted from an electrical into an optical form, and transmitted via the optical output 2 to a passive distributor 9. From this passive distributor, the data go to an Ethernet network card 13 of a PC. In the present instance, four different PCs 10 are shown that are loaded with data from, for example, four sequential entities, one after

another by the distributor 9. This means that the passive distributor first supplies all the sequential image lines of a given image or of a given series of images to a first PC 10, the next image or the next series of images is given to the next PC 20, and so on, so where necessary parallel image processing of sequential images can take place at the same time on several PCs. This is of interest, for example, when an appropriate camera is used in an optical sensing and sorting system, for example a parcel sorting installation. The line camera 4, 5 then possibly records different elements or portions of an entity that are respectively evaluated separately on a different PC. It is also possible for the camera to sense several different entities rapidly one after another, wherein the evaluation of the images of different entities takes place on different PCs.

In addition to control of the writing and reading procedures in the dual-port RAM and in addition to switching over the switching device 11, the control logic also fulfils other tasks such as, for example, control of the image line recording and read-out. During the read-out, using the interface 7 the line data can, for example, be divided into several data packets in accordance with the Ethernet standard, and provided additionally with appropriate frame data that are then given serially via the output 2 to the respective computers. An additional data input is shown at 8, via which the PCs 10 connected for image evaluation possibly deliver check-back or feedback signals that make suitable adaptation of the control logic 3 possible.

The circuit according to the invention, which essentially only consists of the dual port RAM 1, the control logic 3, and possibly also the interface 7, is relatively simply constructed and can therefore cope well with the large data rates. Moreover this circuit is substantially cheaper to manufacture than a frame-grabber card, and additionally such a circuit needs only to be provided once for several PCs, as shown in the embodiment.

Figure 2 shows a somewhat modified embodiment of the circuit according to the invention, again in detail. A camera interface is labelled 12, which can, for example, satisfy the function of the components in Figure 1 represented by the multiplexers 6 and the series-connected units for analog/digital conversion of the image data received.

A dual-port RAM 1 with two memory banks is also provided in this case, wherein each of the memory banks 1a, 1b has an additional sub-sector 1c and respectively 1d, in which the

13/02 02 PA 10.08 FAX 745 011 372111
7
frame data is stored according to the Ethernet protocol in the lowest protocol level, together with the data stored in areas 1a and respectively 1b. In this case the data from memory banks 1a and respectively 1b can be read directly together with the frame data from areas 1c and 1d, without the frame data having to be added in addition. All read and write procedures are controlled by the control logic 3' substantially in the same manner as was described for the previous embodiment according to Figure 1. The image data previously provided with the protocol frames from the lowest Ethernet protocol level are passed on via the control device 3' to the interface 7, in that a parallel/serial conversion takes place, and lastly the electrical data are converted into optical signals and transmitted in the optical wave guide controller 2 serving as an output.

The control logic 3' is additionally provided with connecting lines to an input/output interface 14 and a further control that affects the camera interface 12 in order to make possible feedback control of the focussing of the optical system and/or image sensing, possibly as a reaction to available image results.

Claims

1. Circuit for generating image data for real-time representation on a PC, with a data input for receiving raw pixel data of an image sensor, characterised in that the circuit has a buffer (1), a serial data output (2) and control logic (3), wherein the control logic (3) is provided for combining the buffered raw image data into data packets with protocol elements of the lowest Ethernet protocol level (MAC layer).
2. Circuit according to claim 1, characterised in that the buffer has a capacity for the raw image data of at least one image line.
3. Circuit according to claim 2, characterised in that the buffer has a capacity for at least two image lines.
4. Circuit according to claim 3, characterised in that the buffer is a dual-port RAM.
5. Circuit according to claim 3 or 4, characterised in that a bank change-over switch between at least two memory blocks (banks) is provided, wherein each memory block (bank) has the capacity for at least one image line, and wherein the raw image data of sequential image lines are read into the respective other memory block and read-out in a pull-push manner.
6. Circuit according to one of claims 1 to 5, characterised in that the data input is a parallel input of a pre-determinable bit width, wherein the read-out or respectively the output frequency for the image data combined into data packets is greater than the product of the read-in frequency multiplied by the bit width of the data input.
7. Circuit according to claim 6, characterised in that the data input of the circuit has a 16 bit width.
8. Circuit according to one of claims 1 to 7, characterised in that the data output is an optical output.

9. Personal computer (PC) that is equipped with an Ethernet network card, characterised in that the PC is configured for receiving image data from the circuit according to one of claims 1 to 8, with driver software for the Ethernet network card that uses only protocol data from the lowest Ethernet protocol level as protocol data, and interprets all remaining data in the data packets received as image data.
10. PC according to claim 9, characterised in that the Ethernet network card is provided with an optical input.
11. Method for transmitting image data in real-time from a camera to a PC, characterised in that the raw image data are buffered, combined into Ethernet data packets in which only the lowest protocol level is used, and are provided to the input of an Ethernet network card of the PC, wherein the Ethernet network card is operated such that only the data of the lowest protocol level (MAC layer) is used as protocol data, and all remaining data is interpreted as image data.
12. Method according to claim 11, characterised in that the raw image data is buffered line-by-line and combined line-by-line into Ethernet data packets and provided serially to the input of the Ethernet network card.
13. Method according to claim 12, characterised in that the data are read line-by-line into different memory blocks, wherein the data are subsequently read-out again in the same sequence from the memory blocks.
14. Method according to claim 13, characterised in that two memory blocks are provided, which raw image data are alternately read into and read from in the pull-push manner.
15. Method according to claim 13 or 14, characterised in that reading out of the data of one image line takes place in a sequence pre-determinable by the control logic and independent of the reading-in of the image data of this image line.
16. Method according to one of claims 11 to 15, characterised in that at the same time as the reading-in of the image data in an image line, reading-in of the associated

protocol data of the lower Ethernet level takes place.

17. Method according to one of claims 11 to 15, characterised in that the buffered image data is only combined into Ethernet data packets and expanded with appropriate protocol data when read-out takes place.
18. Method according to one of claims 11 to 17, characterised in that the data of an image line are respectively combined into a whole number of "Ethernet" packets such that none of the data packets contains data from different image lines.

13/02 02 FR 10:11 FAX +49 611 372111 PATENTANWALTSDR. VITTRONIC Dr. Ing. Stein

1

PC/T/DE00/02451

VITTRONIC Dr. Ing. Stein

Claims

1. Circuit for generating image data for real-time representation on a PC, with a data input for receiving raw pixel data of an image sensor, a buffer (1), a serial data output (2) and control logic (3), characterised in that the control logic (3) is provided for combining the buffered raw image data into data packets with protocol elements of the lowest Ethernet protocol level (MAC layer).
2. Circuit according to claim 1, characterised in that the buffer has a capacity for the raw image data of at least one image line.
3. Circuit according to claim 2, characterised in that the buffer has a capacity for at least two image lines.
4. Circuit according to claim 3, characterised in that the buffer is a dual-port RAM.
5. Circuit according to claim 3 or 4, characterised in that a bank change-over switch between at least two memory blocks (banks) is provided, wherein each memory block (bank) has the capacity for at least one image line, and wherein the raw image data of sequential image lines are read into the respective other memory block and read-out in a pull-push manner.
6. Circuit according to one of claims 1 to 5, characterised in that the data input is a parallel input of a pre-determinable bit width, wherein the read-out or respectively the output frequency for the image data combined into data packets is greater than the product of the read-in frequency multiplied by the bit width of the data input.
7. Circuit according to claim 6, characterised in that the data input of the circuit has a 16 bit width.
8. Circuit according to one of claims 1 to 7, characterised in that the data output is an optical output.

9. Personal computer (PC) that is equipped with an Ethernet network card, characterised in that the PC is configured for receiving image data from the circuit according to one of claims 1 to 8; with driver software for the Ethernet network card that uses only protocol data from the lowest Ethernet protocol level as protocol data, and interprets all remaining data in the data packets received as image data.
10. PC according to claim 9, characterised in that the Ethernet network card is provided with an optical input.
11. Method for transmitting image data in real-time from a camera to a PC, wherein the raw image data are buffered and combined into Ethernet data packets, characterised in that only the lowest protocol level is used for combining the raw image data into Ethernet data packets, and the data are provided to the input of an Ethernet network card of the PC, wherein the Ethernet network card is operated such that only the data of the lowest protocol level (MAC layer) is used as protocol data, and all remaining data are interpreted as image data.
12. Method according to claim 11, characterised in that the raw image data is buffered line-by-line and combined line-by-line into Ethernet data packets and provided serially to the input of the Ethernet network card.
13. Method according to claim 12, characterised in that the data are read line-by-line into different memory blocks, wherein the data are subsequently read-out again in the same sequence from the memory blocks.
14. Method according to claim 13, characterised in that two memory blocks are provided, which raw image data are alternately read into and read from in the pull-push manner.
15. Method according to claim 13 or 14, characterised in that reading out of the data of one image line takes place in a sequence pre-determinable by the control logic and independent of the reading-in of the image data of this image line.
16. Method according to one of claims 11 to 15, characterised in that at the same time

3

3

as the reading-in of the image data in an image line, reading-in of the associated protocol data of the lower Ethernet level takes place.

17. Method according to one of claims 11 to 15, characterised in that the buffered image data is only combined into Ethernet data packets and expanded with appropriate protocol data when read-out takes place.

5

18. Method according to one of claims 11 to 17, characterised in that the data of an image line are respectively combined into a whole number of "Ethernet" packets such that none of the data packets contains data from different image lines.

INTERNATIONAL SEARCH REPORT

Int. Appl. No.

PCT/DE 00/2451

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H04N5/232

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H04N H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to Claim No.
A	WO 98 05256 A (BLASCHKA, ERIKS; SIEMENS AG (DE); ZELLER UWE (DE); SCHILTZ, GANZLIN) 12 February 1998 (1998-02-12) page 3, line 10 - page 6, line 19	1,9,11
A	CA 2 237 654 A (DEW ENGINEERING AND DEV LIMITE) 16 December 1998 (1998-12-16) page 8, line 16 - page 9, line 16 page 15, line 16 - line 26	1,9,11



Further documents are listed in the continuation of box C



Patent family members are listed in annex

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *OT* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *1* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or matter underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *2* document member of the same patent family

Date of the actual completion of the international search

14 December 2000

Date of mailing of the international search report

29/12/2000

Name and mailing address of the ISA
European Patent Office, P.O. Box 5018 Patentkanal 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, 12.31.531 ext. 1
Fax (+31-70) 340-3016

Authorized officer

Wentzel, J

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.

PCT/DE 2451

O(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		Relevant to claim No.
Category *	Citation of document, with indication, where appropriate, of the relevant passages	
A	SHARON O ET AL: "A CSMA/CD compatible MAC for real time transmissions based on varying collision intervals" PROCEEDINGS. IEEE INFOCOM '98. THE CONFERENCE ON COMPUTER COMMUNICATIONS. SEVENTEENTH ANNUAL JOINT CONFERENCE OF THE IEEE COMPUTER AND COMMUNICATIONS SOCIETIES. GATEWAY TO THE 21ST CENTURY (CAT. NO.98CH36169), PROCEEDINGS IEEE INFOCOM'98 CONFERENCE OF pages 1265-1272 vol.3: XP002155182 1998, New York, NY, USA, IEEE, USA ISBN: 0-7803-4383-2 abstract page 1265, right-hand column, line 8 -page 1266, left-hand column, line 4	1,9,11
A	WO 96 02106 A (VISION 1 INT LTD VELLACOTT OLIVER RICHARD (GB)) 25 January 1996 (1996-01-25)	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/DE 00/2451

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
WO 9805256	A	12-02-1998	EP	U926988 A	07-07-1999
CA 7237654	A	16-12-1998	NONE		
WO 9602106	A	25-01-1996	AU	2894295 A	09-02-1996
			GB	2296156 A	19-06-1996